

**Family list****7 family members for: JP8122768**

Derived from 5 applications




- 1 Display device**  
**Inventor:** HASHIMOTO YOSHIHIRO (JP) **Applicant:** SONY CORP (JP)  
**EC:** G02F1/1362B **IPC:** G02F1/1335; G02F1/136; G02F1/1362 (+)  
**Publication info:** DE69531330D D1 - 2003-08-28
- 2 Display device**  
**Inventor:** HASHIMOTO YOSHIHIRO (JP) **Applicant:** SONY CORP (JP)  
**EC:** G02F1/1362B **IPC:** G02F1/1335; G02F1/136; G02F1/1362 (+)  
**Publication info:** DE69531330T T2 - 2004-04-22
- 3 Display device**  
**Inventor:** HASHIMOTO YOSHIHIRO (JP) **Applicant:** SONY CORP (JP)  
**EC:** G02F1/1362B **IPC:** G02F1/1335; G02F1/136; G02F1/1362 (+)  
**Publication info:** EP0708355 A2 - 1996-04-24  
EP0708355 A3 - 1997-02-26  
EP0708355 B1 - 2003-07-23
- 4 DISPLAY DEVICE**  
**Inventor:** HASHIMOTO YOSHIHIRO **Applicant:** SONY CORP  
**EC:** G02F1/1362B **IPC:** G02F1/1335; G02F1/136; G02F1/1362 (+)  
**Publication info:** JP8122768 A - 1996-05-17
- 5 Display device**  
**Inventor:** HASHIMOTO YOSHIHIRO (JP) **Applicant:** SONY CORP (JP)  
**EC:** G02F1/1362B **IPC:** G02F1/1362; G02F1/1368; G02F1/13 (+3)  
**Publication info:** US5784132 A - 1998-07-21

Data supplied from the esp@cenet database - Worldwide

## DISPLAY DEVICE

**Patent number:** JP8122768  
**Publication date:** 1996-05-17  
**Inventor:** HASHIMOTO YOSHIHIRO  
**Applicant:** SONY CORP  
**Classification:**  
 - international: **G02F1/1335; G02F1/136; G02F1/1362; G02F1/1368; H01L29/786; G02F1/13; H01L29/66; (IPC1-7): G02F1/1335; G02F1/136; H01L29/786**  
 - european: G02F1/1362B  
**Application number:** JP19940280095 19941019  
**Priority number(s):** JP19940280095 19941019

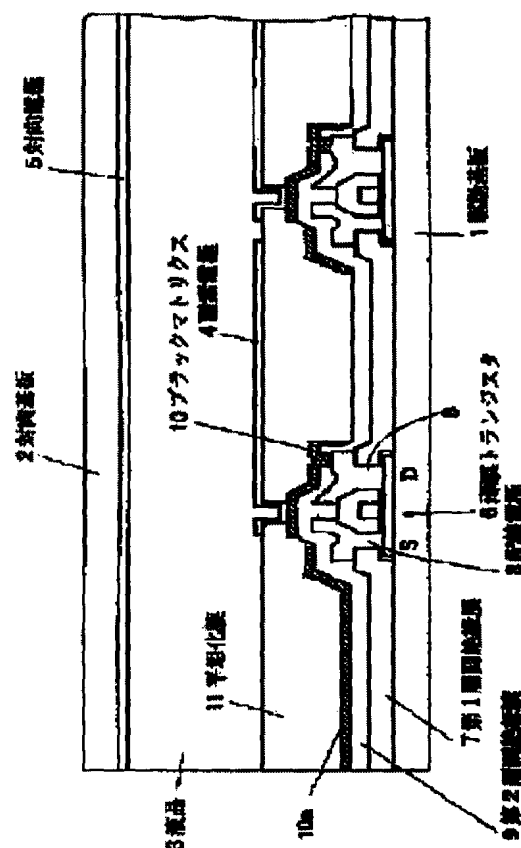
Also published as:

 EP0708355 (A)  
 EP0708355 (A)  
 EP0708355 (B)

Report a data error he

### Abstract of JP8122768

**PURPOSE:** To provide an on-chip black structure by providing an active matrix type display device with a black matrix on its driving substrate side.  
**CONSTITUTION:** A driving substrate 1 and a counter substrate 2 are joined to each other via a prescribed spacing and liquid crystals 3 are held therebetween. While the driving substrate 1 has pixel electrodes 4 arranged in a matrix form, the counter substrate 2 has a counter electrode 5 formed over the entire surface. The driving substrate 1 has plural thin-film transistors (TFTs) 6 which individually drive the pixel electrodes 4 to switch, first interlayer insulating films 7 which coat these TFTs 6, wiring electrodes 8 which are patterned and formed thereon and are connected to the TFTs 6, second interlayer insulating films 9 which coat these wiring electrodes 8 and the black matrix 10 which is patterned and formed thereon and shields the lower TFTs 6. The black matrix 10 is coated with a flattening film 11 and the pixel electrodes 4 are patterned and formed on the flattening film 11. The pixel electrodes 4 are connected via the black matrix 10 to the wiring electrodes 8.



Data supplied from the esp@cenet database - Worldwide

(19) 日本国特許庁 (J P)

# (12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平8-122768

(43) 公開日 平成8年(1996)5月17日

(51) Int. Cl.<sup>6</sup>  
G02F 1/1335  
1/136  
H01L 29/786

識別記号  
505  
500

F I

9056-4M

H01L 29/78

619 B

審査請求 未請求 請求項の数 8 FD (全9頁)

(21) 出願番号 特願平6-280095  
(22) 出願日 平成6年(1994)10月19日

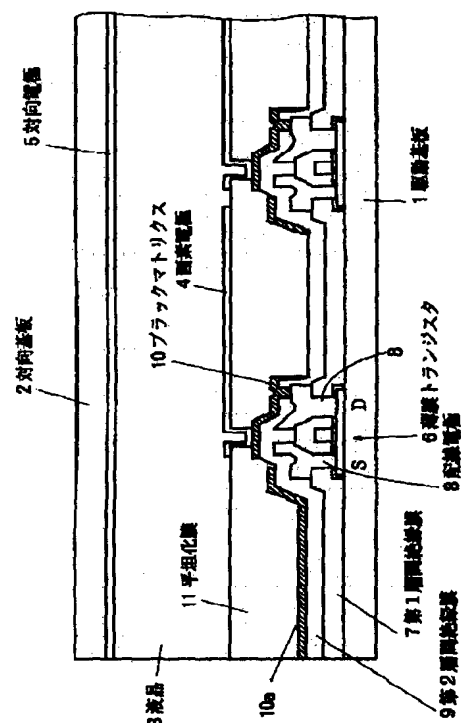
(71) 出願人 000002185  
ソニー株式会社  
東京都品川区北品川6丁目7番35号  
(72) 発明者 橋本 芳浩  
東京都品川区北品川6丁目7番35号 ソニー株式会社内  
(74) 代理人 弁理士 鈴木 晴敏

(54) 【発明の名称】 表示装置

(57) 【要約】

【目的】 アクティブマトリクス型表示装置のブラックマトリクスを駆動基板側に設け、オンチップブラック構造を提供する。

【構成】 駆動基板1と対向基板2は所定の間隙を介して互いに接合され両者の間に液晶3が保持される。駆動基板1はマトリクス状に配置した画素電極4を有する一方、対向基板2は全面成膜された対向電極5を有する。駆動基板1は、画素電極4を個々にスイッチング駆動する複数の薄膜トランジスタ6と、この薄膜トランジスタ6を被覆する第1層間絶縁膜7と、その上にパタニング形成され且つ薄膜トランジスタ6に接続する配線電極8と、配線電極8を被覆する第2層間絶縁膜9と、その上にパタニング形成され下方の薄膜トランジスタ6を遮光するブラックマトリクス10とを有している。このブラックマトリクス10は平坦化膜11により被覆されており、画素電極4は平坦化膜11の上にパタニング形成されている。画素電極4は金属膜からなるブラックマトリクス10を介して配線電極8に接続している。



## 【特許請求の範囲】

【請求項 1】 マトリクス状に配置した画素電極を有する駆動基板と、対向電極を有し所定の間隙を介して該駆動基板に接合した対向基板と、該間隙に保持された電気光学物質とを備えた表示装置であって、

前記駆動基板は、該画素電極を個々にスイッチング駆動する複数の薄膜トランジスタと、該薄膜トランジスタを被覆する第 1 層間絶縁膜と、その上にパタニング形成され且つ該薄膜トランジスタに接続する配線電極と、該配線電極を被覆する第 2 層間絶縁膜と、その上にパタニング形成され下方の薄膜トランジスタを遮光するブラックマトリクスとを有する事を特徴とする表示装置。

【請求項 2】 前記ブラックマトリクスは平坦化膜により被覆されており、前記画素電極は該平坦化膜の上にパタニング形成されている事を特徴とする請求項 1 記載の表示装置。

【請求項 3】 前記ブラックマトリクスは金属膜からなり、前記画素電極は該金属膜を介して下方の配線電極に接続している事を特徴とする請求項 2 記載の表示装置。

【請求項 4】 前記ブラックマトリクスは浮遊電位の金属膜からなり、前記画素電極は該ブラックマトリクスを介する事なく直接該配線電極に接続している事を特徴とする請求項 2 記載の表示装置。

【請求項 5】 前記配線電極は部分的に上方の画素電極端部と重複しており該画素電極を縁取るブラックマスクとして機能する事を特徴とする請求項 1 記載の表示装置。

【請求項 6】 前記駆動基板は該画素電極及びそのスイッチング駆動用の薄膜トランジスタを包含する画素アレイ部と、該画素アレイ部を動作させる駆動回路を包含する周辺部とに区分されており、前記対向基板は該周辺部に整合するブラックマスクを備えている事を特徴とする請求項 1 記載の表示装置。

【請求項 7】 前記駆動基板側に設けられたブラックマトリクスは該画素アレイ部に含まれる薄膜トランジスタの領域に加えて、該駆動回路を除く周辺部の領域にも延在する一方、前記対向基板側に設けられたブラックマスクは該駆動回路の領域のみを選択的に遮光する事を特徴とする請求項 6 記載の表示装置。

【請求項 8】 前記画素アレイ部は該画素電極とこれをスイッチング駆動する薄膜トランジスタとの対からなる有効画素と、画素電極を欠いた薄膜トランジスタからなるダミー画素とを有しており、前記ダミー画素は該ブラックマトリクスにより全面的に被覆されている事を特徴とする請求項 6 記載の表示装置。

## 【発明の詳細な説明】

## 【 0 0 0 1 】

【産業上の利用分野】 本発明は、アクティブマトリクス型の液晶パネル等によって代表される表示装置に関する。より詳しくは、表示装置の画素開口部以外を遮閉す

るブラックマトリクスの構造に関する。

## 【 0 0 0 2 】

【従来の技術】 図 8 を参照して従来の表示装置の一例を簡潔に説明する。表示装置は駆動基板 1 0 1 と対向基板 1 0 2 とを所定の間隙を介して接合し、該間隙に液晶 1 0 3 を保持したパネル構造を有している。駆動基板 1 0 1 はマトリクス状に配置した画素電極 1 0 4 と、これを個々にスイッチング駆動する複数の薄膜トランジスタ 1 0 5 とを有している。薄膜トランジスタ 1 0 5 は第 1 層間絶縁膜 1 0 6 により被覆されており、その上には薄膜トランジスタ 1 0 5 のソース領域 S と電気接続する配線電極 1 0 7 が設けられている。この配線電極 1 0 7 を被覆する様に第 2 層間絶縁膜 1 0 8 が形成されており、その上には前述した画素電極 1 0 4 が設けられている。この画素電極 1 0 4 は第 2 層間絶縁膜 1 0 8 及び第 1 層間絶縁膜 1 0 6 に開口したコンタクトホールを介して、薄膜トランジスタ 1 0 5 のドレイン領域 D に電気接続している。又駆動基板 1 0 1 の周辺には遮光性の金属膜からなるブラックマスク 1 0 9 がパタニング形成されている。一方、対向基板 1 0 2 の内表面には、画素電極 1 0 4 以外を遮閉するブラックマトリクス 1 1 0 が形成されている。このブラックマトリクス 1 1 0 は例えば遮光性を有する金属膜をパタニングしたものである。ブラックマトリクス 1 1 0 により囲まれた開口部が画素電極 1 0 4 に整合する。このブラックマトリクス 1 1 0 の凹凸を埋める為平坦化膜 1 1 1 が成膜されており、その上に透明な対向電極 1 1 2 が全面的に形成される。

## 【 0 0 0 3 】

【発明が解決しようとする課題】 図 8 に示した従来構造では、ブラックマトリクスは一部周辺部分のみ駆動基板側に形成されており、それ以外では全て対向基板側に設けられている。この為、対向基板と駆動基板との精密な位置合わせが必要となる。対向基板と駆動基板の位置合わせ精度と、対向基板側のブラックマトリクス形成精度を相互に考慮してパタン設計する。この場合、予め位置合わせ誤差を吸収するマージンをとる必要があり、ブラックマトリクスのパタンを大きめな寸法に設定している。従って、画素の開口率が犠牲になるという課題がある。対向基板と駆動基板の精密な位置合わせが必要とされる為、それに関わるアライメント装置も精密で高価なものになるという課題がある。対向基板側はブラックマトリクス、平坦化膜、対向電極が積層した構造となっている。この平坦化膜のコーティング時に、ブラックマトリクスの凹凸に起因して膜厚むらが発生しやすくなる。この為、画素間でギャップむらが生じ、コントラスト低下が発生するという課題がある。

## 【 0 0 0 4 】

【課題を解決するための手段】 上述した従来の技術の課題を解決する為以下の手段を講じた。即ち、本発明にかかる表示装置は、基本的な構成として、マトリクス状に

配置した画素電極を有する駆動基板と、対向電極を有し所定の間隙を介して該駆動基板に接合した対向基板と、該間隙に保持された電気光学物質とを備えている。特徴事項として、前記駆動基板は該画素電極を個々にスイッチング駆動する複数の薄膜トランジスタと、該薄膜トランジスタを被覆する第 1 層間絶縁膜と、その上にパタニング形成され且つ該薄膜トランジスタに接続する配線電極と、該配線電極を被覆する第 2 層間絶縁膜と、その上にパタニング形成され下方の薄膜トランジスタを遮光するブラックマトリクスとを有している。

【0005】好ましくは、前記ブラックマトリクスは平坦化膜により被覆されており、前記画素電極は該平坦化膜の上にパタニング形成されている。前記ブラックマトリクスは金属膜からなり、前記画素電極は該金属膜を介して下方の配線電極に接続している。あるいは、前記ブラックマトリクスは浮遊電位の金属膜からなり、前記画素電極は該ブラックマトリクスを介する事なく直接該配線電極に接続している。場合によっては、前記配線電極は部分的に上方の画素電極端部と重複しており、該画素電極を縁取るブラックマスクとして機能する。

【0006】本発明の一態様では、前記駆動基板は該画素電極及びそのスイッチング駆動用の薄膜トランジスタを包含する画素アレイ部と、該画素アレイ部を動作させる駆動回路を包含する周辺部とに区分されている。この場合、前記対向基板は該周辺部に整合するブラックマスクを備えている。前記駆動基板側に設けられたブラックマトリクスは該画素アレイ部に含まれる薄膜トランジスタの領域に加えて、該駆動回路を除く周辺部の領域にも延在する一方、前記対向基板側に設けられたブラックマスクは該駆動回路の領域のみを選択的に遮光する様にしても良い。前記画素アレイ部は該画素電極とこれをスイッチング駆動する薄膜トランジスタとの対からなる有効画素と、画素電極を欠いた薄膜トランジスタからなるダミー画素とを有する場合がある。この時、前記ダミー画素は該ブラックマトリクスにより全面的に被覆される構造としても良い。

【0007】

【作用】本発明によれば、駆動基板に集積形成された薄膜トランジスタを第 1 層間膜で被覆し絶縁保護している。この上に、薄膜トランジスタの配線電極をパタニング形成する。この配線電極を第 2 層間絶縁膜で被覆し絶縁保護する。さらに、この第 2 層間絶縁膜の上に例えば金属膜からなるブラックマトリクスをパタニング形成する。金属膜を用いる事により精度良くブラックマトリクスをパタニングできると共に、第 2 層間絶縁膜を介してブラックマトリクスは配線電極から絶縁分離されている為短絡欠陥等が生じない。さらに、平坦化膜等をブラックマトリクスの上に成膜し、その上に画素電極をパタニング形成している。この画素電極は上述したブラックマトリクスを介して配線電極に電気接続される為、コンタ

クト構造の設計が多様化できる。以上の構成により、所謂オンチップブラックマトリクス構造が得られ、対向基板と駆動基板との精密な位置合わせが不要になる。場合によっては、対向基板側に周辺部のみを被覆するブラックマスクを設ける事により、より完全な遮光構造が得られる。

【0008】

【実施例】以下図面を参照して本発明の好適な実施例を詳細に説明する。図 1 は本発明にかかる表示装置の第 1 実施例を示す要部断面図である。図示する様に、本表示装置はガラス等からなる駆動基板 1 と同じくガラス等からなる対向基板 2 とを所定の間隙を介して接合したパネル構造を有している。両基板 1, 2 の間隙には電気光学物質として例えば液晶 3 が保持されている。駆動基板 1 には画素電極 4 がマトリクス状にパタニング形成されている。画素電極 4 は例えば ITO や SnO<sub>2</sub> 等の透明導電膜からなる。一方、対向基板 2 の内表面には同じく透明導電膜からなる対向電極 5 が全面的に形成されている。

【0009】本発明の特徴事項として、駆動基板 1 には、画素電極 4 を個々にスイッチング駆動する複数の薄膜トランジスタ 6 と、この薄膜トランジスタ 6 を被覆する第 1 層間絶縁膜 7 と、その上にパタニング形成され且つ薄膜トランジスタ 6 に接続する配線電極 8 と、この配線電極 8 を被覆する第 2 層間絶縁膜 9 と、その上にパタニング形成され下方の薄膜トランジスタ 6 を遮光するブラックマトリクス 10 とが形成されている。さらに、ブラックマトリクス 10 は平坦化膜 11 により被覆されている。前述した画素電極 4 はこの平坦化膜 11 の上にパタニング形成されている。

【0010】ブラックマトリクス 10 は Ti, Al, Cr 等の金属膜からなる。特に、Ti は柱状結晶構造を有し、エッチング性に優れているので、精密なブラックマトリクスパタンに加工できる。このブラックマトリクス 10 は前述した様に薄膜トランジスタ 6 を外光から遮閉している。本実施例ではブラックマトリクス 10 a がさらに周辺部にも延在している。一方、画素電極 4 はブラックマトリクス 10 を介してドレイン領域 D 側の配線電極 8 に接続している。一方、ソース領域 S 側の配線電極 8 は信号ラインを構成する。この配線電極 8 は、例えば、Al, Cu, Ti, Mo, W 又はこれらの合金からなる。前述した様に、この配線電極 8 は PSG, NSG, SiO<sub>2</sub>, SiN 等からなる第 2 層間絶縁膜 9 により被覆されており、ブラックマトリクス 10 から電氣的に絶縁されている。

【0011】引き続き図 1 を参照して、本発明にかかる表示装置の製造方法を簡潔に説明する。先ず、ガラス等からなる駆動基板 1 の上に薄膜トランジスタ 6 を集積形成し、第 1 層間絶縁膜 7 で被覆する。次いでこの第 1 層間絶縁膜 7 に薄膜トランジスタ 6 のソース領域 S 及びド

レイン領域Dと連通するコンタクトホールを開口する。さらに、スパッタリング法又はCVD法で電極材料を成膜し、これを所定の形状にパタニングして配線電極8に加工する。ソース領域Sに接続した配線電極8は信号ラインとなり、又場合によってはブラックマスクとして機能する。この配線電極8に重ねて第2層間絶縁膜9を被覆する。この第2層間絶縁膜9にコンタクトホールを開口し、薄膜トランジスタ6のドレイン領域Dと電気接続している配線電極8の一部を露出する。その後、スパッタリング法あるいはCVD法にて金属膜を成膜し、エッチングで所定の形状にパタニングしてブラックマトリクス10に加工する。このブラックマトリクス10を透明アクリル樹脂等からなる平坦化膜11で被覆し、駆動基板1表面の凹凸を吸収する。この平坦化膜11にコンタクトホールを開口し、ブラックマトリクス10の一部を露出させる。最後に、透明導電膜を成膜し所定の形状にパタニングして画素電極4に加工する。この結果、画素電極4はブラックマトリクス10及び配線電極8を介して薄膜トランジスタ6のドレイン領域Dと電気接続されることになる。この様にして、駆動基板1側にブラックマトリクス10がオンチップで形成できるので、対向基板2側は基本的に対向電極5のみが形成されることになる。従って、駆動基板1と対向基板2を精密に位置合わせする必要はなくなる。

【0012】図2は、本発明にかかる表示装置の第2実施例を示す要部断面図である。基本的な構成は、図1に示した第1実施例と同様であり、対応する部分には対応する参照番号を付して理解を容易にしている。異なる点は、薄膜トランジスタ6を被覆するブラックマトリクス10が浮遊電位になっている事である。この関係で、画素電極4はブラックマトリクス10を介する事なく、直接ドレイン領域D側の配線電極8に接続している。この構造ではブラックマトリクス10が浮遊電位となる為、液晶3に不要な電界を印加する惧れがなくなる。

【0013】図3は、本発明にかかる表示装置の第3実施例を示す要部断面図及び部分平面図である。基本的には図1に示した第1実施例と同様な構成を有しており、対応する部分には対応する参照番号を付して理解を容易にしている。(A)に示す様に、薄膜トランジスタ6のソース領域S側に電気接続している配線電極8は信号ラインとなる。この配線電極8は部分的に上方の画素電極4端部と重複しており、画素電極4を縁取るブラックマスクとして機能する。この配置関係を(B)の部分平面図に示しておく。図示する様に、配線電極8(信号ライン)は画素電極4の端部と一部重なり、ブラックストライプとなる。

【0014】図4は、本発明にかかる表示装置の第4実施例を示す要部断面図である。基本的な構成は図1に示した第1実施例と同様であり、対応する部分には対応する参照番号を付して理解を容易にしている。図示する様

に、駆動基板1は画素電極4及びそのスイッチング駆動用の薄膜トランジスタ6を包含する画素アレイ部と、画素アレイ部を動作させる駆動回路(図示省略)を包含する周辺部とに区分されている。この構成では対向基板2側に上述した周辺部に整合するブラックマスク12が設けられている。又、画素アレイ部は画素電極4とこれをスイッチング駆動する薄膜トランジスタ6との対からなる有効画素と、画素電極を欠いた薄膜トランジスタ6aからなるダミー画素とを有している。このダミー画素はブラックマトリクス10aにより全面的に被覆されいる。ダミー画素は有効画素を囲む様に数画素分設けられるものであり、外部からの静電ストレス等を吸収し有効画素を保護する。従って、ダミー画素はストレスを集中的に受ける為、故障や破壊が起りやすい。この点に鑑み、本実施例では、ブラックマトリクス10aを延在させ、ダミー画素を構成する薄膜トランジスタ6aを全面的に被覆している。又、このブラックマトリクス10aは対向基板側に設けられたブラックマスク12と一部重なる。従って、両者により表示装置の遮光がより完全になる。又、ブラックマトリクス10aとブラックマスク12は比較的大きなマージンを持って互いに重なる為、駆動基板1と対向基板2を高精度で位置合わせする必要はない。

【0015】引き続き図4を参照して本表示装置の製造方法を簡潔に説明する。先ず、透明ガラス等からなる駆動基板6の上に薄膜トランジスタ6、6aを形成し、第1層間絶縁膜7で被覆する。この第1層間絶縁膜7にコンタクトホールを開口し、薄膜トランジスタ6のソース領域S及びドレイン領域Dを一部露出させる。この際、ダミー画素に属する薄膜トランジスタ6aについてはコンタクトホールを開口しなくても良い。但し、本実施例では有効画素の薄膜トランジスタ6と同様にダミー画素の薄膜トランジスタ6aについてもコンタクトホールを開口している。その後、スパッタリング法又はCVD法にて電極材料を成膜し、所定の形状にパタニングして配線電極8に加工する。次いで第2層間絶縁膜9を成膜し、コンタクトホールを開口して薄膜トランジスタ6のドレイン側に接続している配線電極8の一部を露出する。一方、ダミー画素となる薄膜トランジスタ6aに対してはコンタクトホールを開口しない。その後、スパッタリング法やCVD法にて金属膜を成膜し、所定の形状にパタニングしてブラックマトリクス10、10aに加工する。図示する様に、ブラックマトリクス10aはダミー画素となる薄膜トランジスタ6aを完全に遮閉している。この上に平坦化膜11を成膜した後、ブラックマトリクス10に連通するコンタクトホールを開口する。最後に透明導電膜を成膜し所定の形状にパタニングして画素電極4に加工する。但し、ダミー画素には画素電極4を設けない。一方、対向基板2側には周辺のみブラックマスク12を形成し、その上に重ねてITO等から

10

20

30

40

50

なる対向電極 5 を成膜する。以上説明した様に、本実施例では画素アレイ部の周辺画素分をダミー画素として、これを全体的にブラックマトリクスで遮閉する。周辺画素はダメージやノイズあるいは映像信号の揺れ等により欠陥が生じやすい為、ダミーとするものである。又、周辺部を遮光する為に対向基板側にブラックマスクを設けている。かかる構成により、有効画素の損傷なく且つ位置合わせフリーで表示装置を組み立てる事が可能になる。

【0016】図5は、本発明にかかる表示装置の第5実施例を示す要部断面図である。基本的な構成は、図1に示した第1実施例と同様であり、対応する部分には対応する参照番号を付して理解を容易にしている。図4に示した第4実施例と同様に、本実施例でも駆動基板1は画素電極4及びそのスイッチング駆動用の薄膜トランジスタ6を包含する画素アレイ部と、該画素アレイ部を動作させる駆動回路（図示省略）を包含する周辺部とに区分されている。対向基板2側にはこの周辺部に整合するブラックマスク12が設けられている。一方駆動基板1側に設けられたブラックマトリクス10は画素アレイ部に含まれる薄膜トランジスタ6の領域に加え、一部のブラックマトリクス10aが駆動回路を除く周辺部の領域にも延在する。対向基板側に設けられた前記ブラックマスク12は駆動回路の領域のみを選択的に遮光している。

【0017】以上に説明したブラックマトリクス10、10aとブラックマスク12の位置関係につき、図6の平面図を参照して説明を加える。図示する様に、駆動基板1は画素電極4及びそのスイッチング駆動用の薄膜トランジスタ6を包含する画素アレイ部13と、該画素アレイ部13を動作させる垂直駆動回路14及び水平駆動回路15を包含する周辺部16とに区分されている。なお、画素アレイ部13には信号ラインXとゲートラインYも互いに直交して設けられている。又、駆動基板1の上端部には外部接続用の端子17も設けられている。かかる構成において、駆動基板1側に設けられたブラックマトリクスは画素アレイ部13に含まれる薄膜トランジスタの領域に加えて、垂直駆動回路14及び水平駆動回路15を除く周辺部の領域にも延在している。一方、対向基板側に設けられたブラックマスクは垂直駆動回路14及び水平駆動回路15の領域のみを選択的に遮光している。今仮に、表面の凹凸が激しい垂直駆動回路14や水平駆動回路15を駆動基板側のブラックマトリクスで遮光すると、短絡不良や静電ダメージが発生しやすく欠陥につながる。この点に鑑み、本実施例では垂直駆動回路14及び水平駆動回路15の領域のみを、対向基板側のブラックマスクで遮閉している。なお、駆動基板1の周辺部には、垂直駆動回路14や水平駆動回路15の動作測定等に用いるテスト用の端子が設けられている場合がある。この時には、テスト端子のみをよけて、ブラックマトリクスを周辺領域まで延在させれば良い。

【0018】最後に、図7は本発明にかかる表示装置の第6実施例を示す要部断面図である。基本的な構成は図1に示した第1実施例と同様であり、対応する部分には対応する参照番号を付して理解を容易にしている。第1実施例では周辺部を駆動基板1側のブラックマトリクスで遮閉していたのに対し、本実施例では対向基板2側にブラックマスク12を設けて周辺部を遮光している。

#### 【0019】

【発明の効果】以上説明した様に、本発明によれば、駆動基板側にブラックマトリクスを形成する事で、開口率を従来に比し1.4倍以上に改善できるという効果がある。又、駆動基板側に全てのブラックマトリクスを形成する事で、対向基板側は対向電極のみとなり、位置合わせが不要になるという効果がある。あるいは、駆動基板側にブラックマトリクスを形成し、且つ周辺画素をダミー画素とする事で、位置合わせが不必要になるか、もしくは単純な外形合わせだけで済むという効果がある。これによりアライメント用の装置コストや検査コストが大幅に削減できる。駆動基板側にブラックマトリクスを形成する事により、対向基板側の平坦化膜を成膜する必要がなくなり、その為透過率が数%上昇するという効果がある。対向基板側に平坦化膜を設ける必要がなくなる為、画素間のギャップコントロールが容易になり面内むらがなくなるという効果がある。

#### 【図面の簡単な説明】

【図1】本発明にかかる表示装置の第1実施例を示す要部断面図である。

【図2】同じく第2実施例を示す要部断面図である。

【図3】同じく第3実施例を示す要部断面図及び部分平面図である。

【図4】同じく第4実施例を示す要部断面図である。

【図5】同じく第5実施例を示す要部断面図である。

【図6】第5実施例の模式的な平面図である。

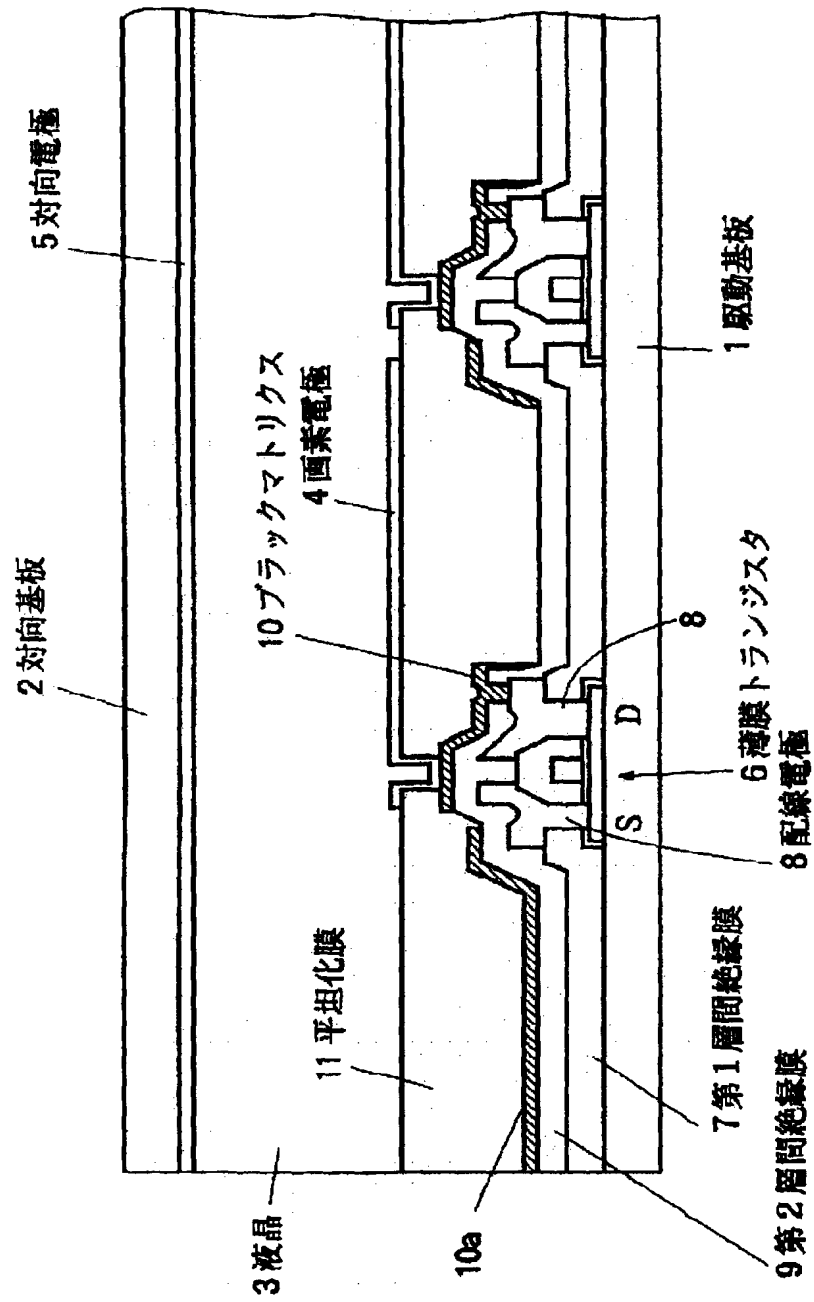
【図7】同じく第6実施例を示す要部断面図である。

【図8】従来の表示装置の一例を示す模式的な部分断面図である。

#### 【符号の説明】

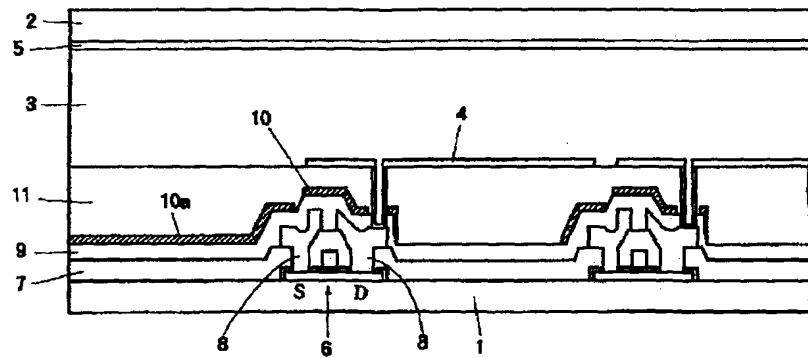
- 1 駆動基板
- 2 対向基板
- 3 液晶
- 4 画素電極
- 5 対向電極
- 6 薄膜トランジスタ
- 7 第1層間絶縁膜
- 8 配線電極
- 9 第2層間絶縁膜
- 10 ブラックマトリクス
- 11 平坦化膜
- 12 ブラックマスク

【図 1】

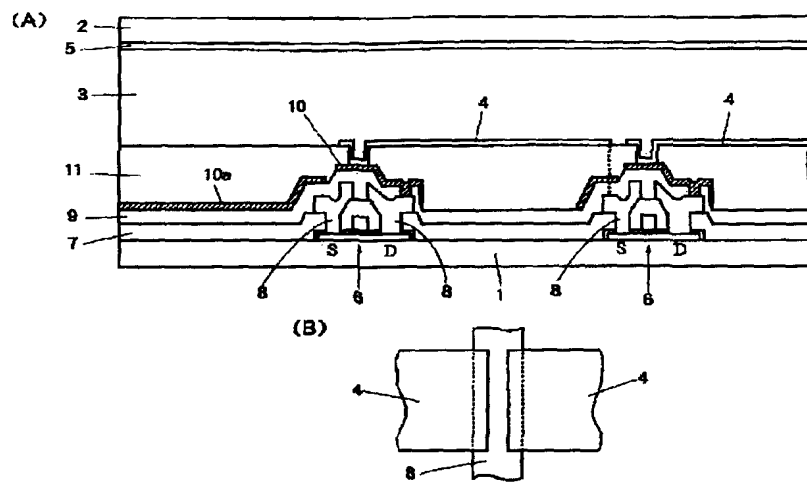




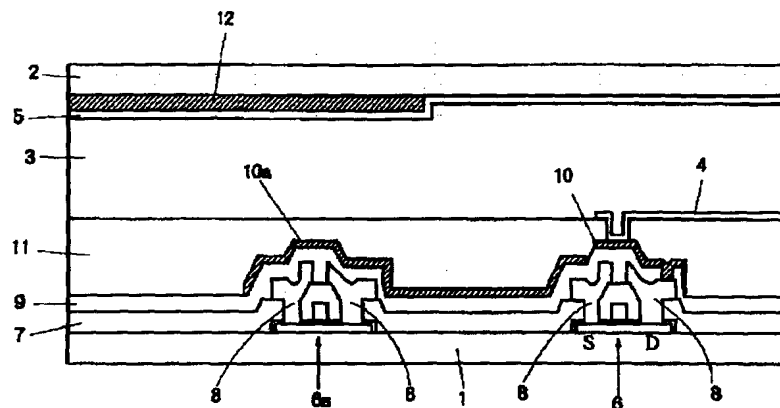
【図 2】



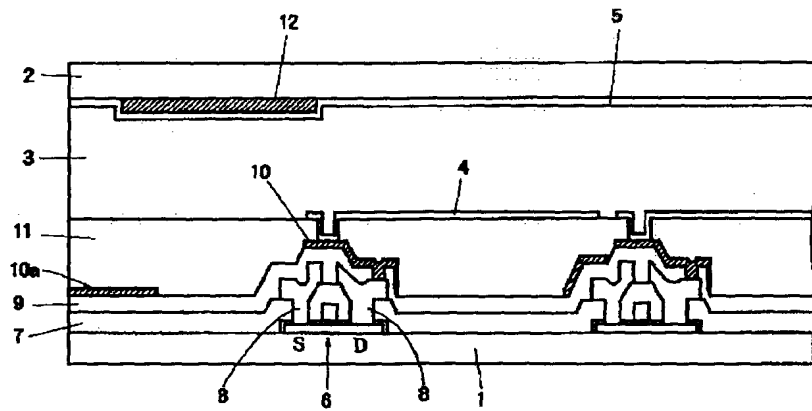
【図 3】



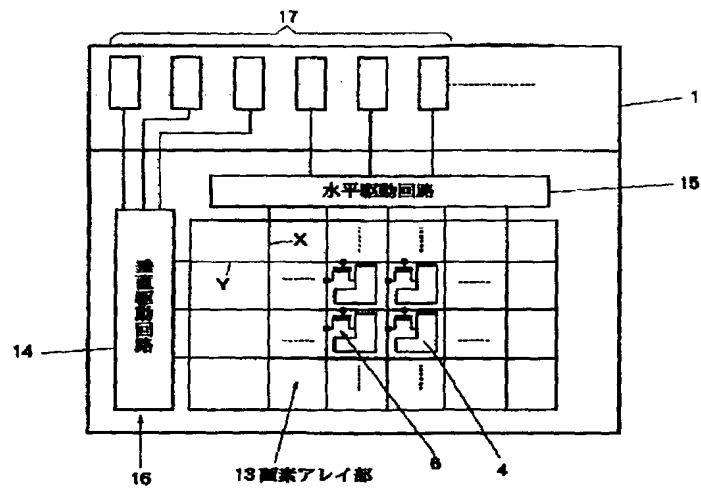
【図 4】



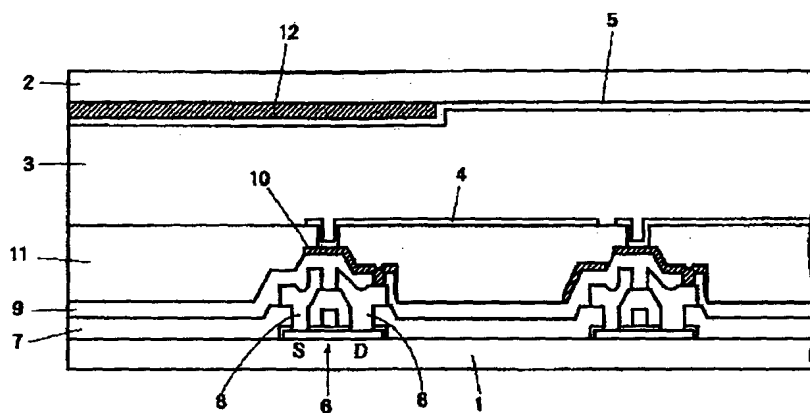
【図 5】



【図 6】



【図 7】



【図 8】

